

PCT/JP 2004/008220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

17. 6. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 6 月 1 3 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 1 7 0 1 0 3
[ST. 10/C]: [J P 2 0 0 3 - 1 7 0 1 0 3]

REC'D 06 AUG 2004

WIPO PCT

出 願 人
Applicant(s): 株式会社豊田自動織機
新潟精密株式会社
大見 忠弘

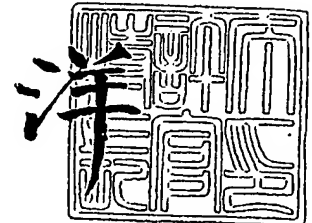
**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 6 3 8 2 1

【書類名】 特許願

【整理番号】 2003TJ045

【提出日】 平成15年 6月13日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 19/00

【発明者】

【住所又は居所】 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内

【氏名】 西牟田 武史

【発明者】

【住所又は居所】 新潟県上越市西城町2丁目5番13号新潟精密株式会社内

【氏名】 宮城 弘

【発明者】

【住所又は居所】 宮城県仙台市青葉区米ヶ袋2-1-17-301

【氏名】 大見 忠弘

【発明者】

【住所又は居所】 宮城県仙台市青葉区川内元支倉35-2-102

【氏名】 須川 成利

【発明者】

【住所又は居所】 宮城県仙台市宮城野区平成1-1-22-K6

【氏名】 寺本 章伸

【特許出願人】

【識別番号】 000003218

【氏名又は名称】 株式会社豊田自動織機

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【特許出願人】

【識別番号】 000205041

【氏名又は名称】 大見 忠弘

【代理人】

【識別番号】 100074099

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005945

【包括委任状番号】 0118621

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチトキャパシタ回路及びその半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体集積回路基板上に形成したスイッチトキャパシタ回路であって、

第 1 の結晶面を主面とするシリコン基板上に第 2 の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約 550 度 C 以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成した M I S 電界トランジスタとコンデンサとからなるスイッチトキャパシタ回路。

【請求項 2】 前記突出部の頂面の第 1 の結晶面と側壁面の第 2 の結晶面にチャネルが形成され、前記 M I S 電界効果トランジスタのチャネル幅が、少なくとも前記頂面のチャネル幅と前記側壁面のチャネル幅の総和からなる請求項 1 記載のスイッチトキャパシタ回路。

【請求項 3】 前記突出部は、頂面がシリコンの (100) 面からなり、側壁面がシリコンの (110) からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の該突出部の左右の領域に形成された請求項 1, 2 または 3 記載のスイッチトキャパシタ回路。

【請求項 4】 前記スイッチトキャパシタ回路は、p チャネル M I S 電界効果トランジスタと n チャネル M I S 電界効果トランジスタとが並列に接続されたスイッチを有し、前記 p チャネル M I S 電界効果トランジスタの突出部の頂面及び側壁面のゲート幅を、前記 p チャネル M I S 電界効果トランジスタと前記 n チャネル M I S 電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した請求項 1, 2 または 3 記載のスイッチトキャパシタ回路。

【請求項 5】 前記スイッチトキャパシタ回路は、入力端子に信号が入力され、互いに並列に接続された第 1 の p チャネル及び n チャネル M I S 電界効果トランジスタと、前記第 1 の p チャネル及び n チャネル M I S 電界効果トランジスタ

の出力に入力端子が接続され、出力端子が接地された、互いに並列に接続された第2のpチャネル及びnチャネルMISトランジスタと、前記第1のpチャネル及びnチャネルMIS電界効果トランジスタの出力端子に一端が接続されたコンデンサと、前記コンデンサの他端と入力端子が接続され、出力端子が接地された、互いに並列に接続された第3のpチャネル及びnチャネルMIS電界効果トランジスタと、前記コンデンサの他端と入力端子が接続され、互いに並列に接続された第4のpチャネル及びnチャネルMIS電界効果トランジスタとからなる請求項1, 2, 3または4記載のスイッチトキャパシタ回路。

【請求項6】 第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、

前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタとコンデンサとからなるスイッチトキャパシタ回路とが形成された半導体集積回路。

【請求項7】 前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した請求項6記載の半導体集積回路。

【請求項8】 前記スイッチトキャパシタ回路は、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとが並列に接続されたスイッチを有する請求項6または7記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路基板上に形成されるスイッチトキャパシタ回路及び

そのスイッチトキャパシタ回路を含む半導体集積回路に関する。

【0002】

【従来の技術】

従来、MOSトランジスタの製造プロセスでは、800度C程度の高温雰囲気中でシリコン表面に熱酸化膜を形成し、その熱酸化膜をゲート絶縁膜としてMOSトランジスタを製造していた。

【0003】

半導体の生産効率を高めるためにより低い温度環境で酸化膜を形成することが望まれている。そのような要望を実現するために、例えば、特許文献1には、低温のプラズマ雰囲気中で絶縁膜を形成する技術が開示されている。

フィルタを集積回路基板上に形成する場合に、スイッチトキャパシタフィルタが用いられる。

【0004】

スイッチトキャパシタ回路のスイッチとしてpチャネルMOSトランジスタとnチャネルMOSトランジスタを並列に接続して使用する場合、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量が異なるためにスイッチング時にノイズが発生するという問題がある。

【0005】

このような問題を改善するために、従来、図7に示すような回路が用いられている。

図7において、スイッチ70は、pチャネルMOSトランジスタ71aとnチャネルMOSトランジスタ71bが並列に接続されて構成されている。

【0006】

pチャネルMOSトランジスタ71aのゲートとソースに並列に、nチャネルMOSトランジスタ72のゲートと、ソースとドレインを接続した端子間の容量が接続され、pチャネルMOSトランジスタ71aのゲートとドレインに並列に、nチャネルMOSトランジスタ73のゲートと、ソースとドレインを接続した端子間の容量が接続されている。

【0007】



また、nチャネルMOSトランジスタ71bのゲートとドレインに並列に、pチャネルMOSトランジスタ74のゲートと、ソースとドレインを共通接続した端子間の容量が接続され、nチャネルMOSトランジスタのゲートとドレインに並列に、pチャネルMOSトランジスタ75のゲートと、ソースとドレインが接続された端子間の容量が接続されている。

【0008】

このように構成することで、pチャネルMOSトランジスタ71aのゲート・ソース間及びゲート・ドレイン間の容量と、nチャネルMOSトランジスタ71bのゲート・ソース間及びゲート・ドレイン間の容量をほぼ等しくしている。

ところで、スイッチトキャパシタフィルタを集積回路基板上に形成する場合、トランジスタのリーク電流やオペアンプのオフセット電圧により設計値通りのフィルタ特性が得られないという問題点がある。

【0009】

そのような問題点を解決するために、例えば、特許文献2には、オフセット補償用のスイッチトキャパシタを設け、オペアンプのDCオフセットの影響を除去することが記載されている。

また、特許文献3には、シリコン基板上に立体構造のゲートを形成することが記載されている。

【0010】

【特許文献1】

特開2002-261091号公報

【0011】

【特許文献2】

特開2000-22500号公報 (図1)

【0012】

【特許文献3】

特開2002-110963 (図1)

【0013】

【発明が解決しようとする課題】



上述したようにMOSトランジスタのリーク電流やDCオフセット等により生じるスイッチトキャパシタ回路の積分値の誤差を減らすことが要望されている。

また、図7の回路は、スイッチ70にトランジスタ72～75を付加する必要があるので集積回路基板の回路規模が増大するという問題点があった。

【0014】

さらに、CMOSスイッチを用いる場合、pチャネルMOSトランジスタの寄生容量が、nチャネルMOSトランジスタの寄生容量に比べて大きいために、スイッチをオン、オフさせたときに出力電圧の変動幅が大きいという問題があった。

【0015】

本発明の課題は、スイッチトキャパシタ回路の誤差を減らすことである。他の課題は、スイッチング時のノイズ及び電圧変動を低減することである。

【0016】

【課題を解決するための手段】

本発明のスイッチトキャパシタ回路は、半導体集積回路基板上に形成したスイッチトキャパシタ回路であって、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタとコンデンサとからなる。

【0017】

不活性ガスは、例えば、アルゴン、クリプトン、キセノンなどからなる。

この発明によれば、MIS電界効果トランジスタのリーク電流とDCオフセットを減らすことができるので、スイッチトキャパシタ回路の誤差を少なくできる。これにより、DCオフセットを補償するための回路等が不要となる。

【0018】

また、pチャネルMOSトランジスタとnチャネルMOSトランジスタのゲー

ト・ドレイン間容量、ゲート・ソース間容量をほぼ等しくできるので、スイッチングノイズを減らすための回路が不要となる。

さらに、MIS電界効果トランジスタの電流駆動能力を向上させることができると共に、シリコン基板の主面におけるMIS電界効果トランジスタの素子面積を小さくできる。

【0019】

上記の発明において、前記突出部の頂面の第1の結晶面と側壁面の第2の結晶面にチャンネルが形成され、前記MIS電界効果トランジスタのチャンネル幅が、少なくとも前記頂面のチャンネル幅と前記側壁面のチャンネル幅の総和からなる。

このように構成することで、異なる結晶面にチャンネルが形成されるのでMIS電界効果トランジスタの特性を向上させることができる。

【0020】

上記の発明において、前記突出部は、頂面がシリコンの(100)面からなり、側壁面がシリコンの(110)面からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の前記突出部の左右の領域に形成する。

このように構成することで、シリコン基板の(100)面と(110)面にチャンネルを形成することができるので、MIS電界効果トランジスタの電流駆動能力を向上させることができる。

【0021】

上記の発明において、前記スイッチトキャパシタ回路は、pチャンネルMIS電界効果トランジスタとnチャンネルMIS電界効果トランジスタとが並列に接続されたスイッチを有し、前記pチャンネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャンネルMIS電界効果トランジスタと前記nチャンネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した。

【0022】

このように構成することで、スイッチを構成するpチャンネルMIS電界効果トランジスタとnチャンネルMIS電界効果トランジスタのゲート・ソース間容量、ゲート・ドレイン間容量をほぼ等しくできるので、スイッチング時のノイズを減

らすことができる。また、pチャネルMIS電界効果トランジスタの寄生容量を小さくできるので、スイッチの出力電圧の変動を少なくできる。

【0023】

上記の発明において、前記スイッチトキャパシタ回路は、入力端子に信号が入力され、互いに並列に接続された第1のpチャネル及びnチャネルMIS電界効果トランジスタと、前記第1のpチャネル及びnチャネルMIS電界効果トランジスタの出力端子に入力端子が接続され、出力端子が接地された、互いに並列に接続された第2のpチャネル及びnチャネルMISトランジスタと、前記第1のpチャネル及びnチャネルMIS電界効果トランジスタの出力端子に一端が接続されたコンデンサと、前記コンデンサの他端と入力端子が接続され、出力端子が接地された、互いに並列に接続された第3のpチャネル及びnチャネルMIS電界効果トランジスタと、前記コンデンサの他端と入力端子が接続され、互いに並列に接続された第4のpチャネル及びnチャネルMIS電界効果トランジスタとからなる。

【0024】

このように構成することで、スイッチトキャパシタ回路のスイッチを構成するpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタのゲート・ソース間容量、ゲート・ドレイン間容量をほぼ等しくできるのでスイッチング時のノイズを減らすことができる。

【0025】

本発明の半導体集積回路は、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタとコンデンサとからなるスイッチトキャパシタ回路とからなる。

【0026】

この発明によれば、MIS電界効果トランジスタのリーク電流及びDCオフセットを少なくできるので、スイッチトキャパシタ回路の誤差を少なくできる。これにより、DCオフセットを補償するための回路等が不要となる。

また、pチャネルMOSトランジスタとnチャネルMOSトランジスタのゲート・ドレイン間容量、ゲート・ソース間容量をほぼ等しくできるので、スイッチングノイズを減らすための回路が不要となる。

【0027】

また、他の回路のpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの特性を揃えることができるので、例えば、後段に接続される差動増幅回路のDCオフセット、 $1/f$ ノイズを低減することができる。

また、立体構造の異なる結晶面にゲート絶縁膜を形成することで、MIS電界効果トランジスタの電流駆動能力を向上させることができると共に、シリコン基板の主面におけるMIS電界効果トランジスタの素子面積を小さくすることができる。

【0028】

上記の発明において、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるようにする。

【0029】

このように構成することで、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタのゲート・ソース間容量、ゲート・ドレイン間容量をほぼ等しくできるので、スイッチング時のノイズを減らすことができる。

【0030】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら説明する。最初に、プラズマ状態の不活性ガスを用いて低温でシリコン基板上にゲート絶縁膜（例えば、酸化膜）を形成し、MIS（metal insulator semiconductor）電界効果トランジスタ

を製造する半導体製造プロセスについて説明する。ゲート絶縁膜の形成方法については、特開 2002-261091 号公報に開示されている。

【0031】

図 1 は、半導体製造プロセスで使用するラジアルラインスロットアンテナを用いたプラズマ処理装置の断面図である。

真空容器（処理室）11 内を真空にし、次にシャワープレート 12 からアルゴン（Ar）ガスを導入した後、Ar ガスを排出口 11A から排出し、クリプトン（Kr）ガスに切り替える。処理室 11 内の圧力は 133 Pa（1 Torr）程度に設定する。

【0032】

次に、シリコン基板 14 を、加熱機構を持つ試料台 13 の上に置き、試料の温度を 400℃程度に設定する。シリコン基板 14 の温度が 200-550℃の範囲内であれば、以下に述べる結果はほとんど同様のものとなる。

シリコン基板 14 は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

【0033】

次に、同軸導波管 15 からラジアルラインスロットアンテナ 16 に周波数が 2.45 GHz のマイクロ波を供給し、マイクロ波をラジアルラインスロットアンテナ 16 から処理室 11 の壁面の一部に設けられた誘電体板 17 を通して処理室 11 内に導入する。導入されたマイクロ波はシャワープレート 12 から処理室 11 内に導入された Kr ガスを励起し、その結果シャワープレート 12 の直下に高密度の Kr プラズマが形成される。供給するマイクロ波の周波数が 900 MHz 程度以上、約 10 GHz 程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

【0034】

図 1 の構成においてシャワープレート 12 とシリコン基板 14 の間隔は約 6 cm に設定している。この間隔は狭いほうがより高速な成膜が可能となる。

なお、ラジアルラインスロットアンテナを用いたプラズマ装置に限らず、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

【0035】

シリコン基板13をKrガスで励起されたプラズマに曝すことにより、シリコン基板14の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。

次に、シャワープレート12から97/3の分圧比のKr/O₂混合ガスを導入する。この際、処理室内の圧力は133Pa (1 Torr) 程度に維持しておく。KrガスとO₂ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr*とO₂分子が衝突し、原子状酸素O*を効率よく大量に発生できる。

【0036】

この実施の形態では、この原子状酸素O*によりシリコン基板14の表面を酸化する。従来のシリコン表面の熱酸化法では、O₂分子やH₂O分子により酸化が行われ、800°C以上の極めて高い処理温度が必要であったが、この実施の形態で行った原子状酸素による酸化処理では、400°C程度の非常に低い温度で酸化が可能である。Kr*とO₂の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO*同士が衝突し、O₂分子に戻ってしまうので、最適ガス圧力が存在する。

【0037】

所望の膜厚のシリコン酸化膜(シリコン化合物層)が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをパージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

【0038】

上記の酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シント処理工程等を施してトランジスタやキャパシタを含む半導体集積回路を作成する。

上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で10¹²/cm²程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で10¹¹/cm²程度以下であった。一方、酸化

膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で $10^{12}/\text{cm}^2$ を超える水素を含んでいた。

【0039】

上記のようにKrプラズマ照射により終端水素除去を施してからKr/O₂ガスを導入して酸化を行った場合には、従来のマイクロ波プラズマ酸化により形成されたシリコン酸化膜よりも同一電圧におけるリーク電流が2～3桁も減少し、非常に良好な低リーク特性が得られた。リーク電流特性の改善は、さらに薄い1.7 nm程度までの膜厚のシリコン酸化膜でも集積回路を製造できることが確認された。

【0040】

また、上記の半導体製造プロセスにより得られたシリコン酸化膜について、シリコン/シリコン酸化膜界面準位密度の面方位依存性を測定してみると、どの面方位のシリコン表面においても、約 $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ の非常に低い界面準位密度が得られた。

【0041】

図2は、シリコン基板の(100)面、(110)面、(111)面の各面に上述した半導体性製造プロセスにより形成したKr/O₂膜と、従来の熱酸化膜の界面準位密度の測定結果を示す図である。

図2に示すように、Kr/O₂膜を形成した場合には、(100)面、(110)面、(111)面の何れの面でもシリコンの界面準位密度が約 $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下となっている。これに対して、従来の800°C以上の雰囲気で形成した熱酸化膜の界面準位密度は、(100)面でも1.1倍以上の値となっており、上記の半導体製造プロセスにより、界面準位密度の低い高品質の絶縁膜を形成できることが分かる。

【0042】

界面準位密度を低くすることにより、キャリアの再結合の確率を減らすことができ、それにより1/fノイズを低減することができる。

耐圧特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD (Charge-to-Breakdown)

などの電気的特性、信頼性的特性に関して、第1の実施の形態の半導体製造プロセスで形成した酸化膜は、従来の熱酸化膜と同等ないしはそれ以上の良好な特性を示した。

【0043】

上述したように、表面終端水素を除去してからKr/O₂高密度プラズマによりシリコン酸化工程を行うことで、400°Cという低温において、あらゆる方位のシリコンに優れたシリコン酸化膜を形成することができる。このような効果が得られるのは、終端水素除去により酸化膜中の水素含有量が少なくなり、かつ、酸化膜中に不活性ガス（例えば、Kr）が含有されることに起因していると考えられる。酸化膜中の水素が少ないことでシリコン酸化膜内の元素の弱い結合が少なくなり、またKrが含有されることにより、膜中やSi/SiO₂界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、その結果、シリコン酸化膜の電気的特性が大幅に改善されているものと考えられる。

【0044】

上述した半導体製造プロセスでは、表面密度換算において水素濃度を $10^{12}/\text{cm}^2$ 以下、望ましくは $10^{11}/\text{cm}^2$ 程度以下にすることと、 $5 \times 10^{11}/\text{cm}^2$ 以下程度のKrを含むことが、シリコン酸化膜の電気的特性、信頼性的特性の改善に寄与しているものと考えられる。

【0045】

なお、上記の半導体プロセスにおいて、不活性ガスとNH₃ガスとの混合ガス、不活性ガスとO₂とNH₃との混合ガスを用い、シリコン窒化膜、シリコン酸窒化膜を形成しても良い。

窒化膜を形成することにより得られる効果は、表面終端水素を除去した後においても、プラズマ中に水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中及び界面のダングリングボンドがSi-H、N-H結合を形成して終端され、その結果シリコン窒化膜及び界面の電子トラップが無くなると考えられる。

【0046】

また、酸窒化膜を形成することにより得られる効果は、終端水素除去により酸

窒化膜中の水素含有量が減少していることだけではなく、酸窒化膜中に数割以下の窒素が含有していることにも起因しているとも考えられる。酸窒化膜の K_r の含有量は酸化膜に比較すると $1/10$ 以下であり、 K_r の代わりに窒素が多く含有されている。すなわち、酸窒化膜中の水素が少ないために、シリコン窒化膜中において弱い結合の割合が減少し、また酸素が含有されることにより、膜中や Si/SiO_2 また界面でのストレスが緩和され、その結果膜中電荷や界面準位密度が減少し、酸窒化膜の電気的特性が大幅に改善されたものと考えられる。

【0047】

プラズマ雰囲気中において酸化膜、あるいは酸窒化膜を形成することにより得られた好ましい結果は、末端水素が除去されたことによることだけが原因ではなく、窒化膜、酸窒化膜中に Ar または Kr が含有されることにも関係すると考えられる。すなわち、上記の半導体製造プロセスにより得られる窒化膜では窒化膜中やシリコン/窒化膜界面でのストレスが、窒化膜中に含有される Ar あるいは Kr により緩和され、その結果シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性特には $1/f$ ノイズの低減、信頼性が大幅に改善されたものと考えられる。

【0048】


上記の半導体製造プロセスにおいて使用する不活性ガスは、 Ar ガス、 Kr ガスに限らず、キセノン Xe ガスも使用できる。

さらに、シリコン酸化膜、シリコン酸窒化膜を形成した後、真空容器1内の圧力を $133Pa$ ($1Torr$) 程度に保ったままシャワープレート12から分圧比 $98/2$ の Kr/NH_3 混合ガスを導入し、シリコン酸化膜、シリコン酸窒化膜の表面に約 $0.7nm$ のシリコン窒化膜を形成しても良い。

【0049】

これにより、表面にシリコン窒化膜が形成されたシリコン酸化膜、あるいはシリコン酸窒化膜が得られるのでより高い比誘電率を有する絶縁膜を形成することができる。

上述した半導体製造プロセスを実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用し



でもかまわない。たとえば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出構造と、O₂、NH₃、またはN₂/H₂ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造を持つ2段シャワープレート型プラズマプロセス装置を使用することも可能である。

【0050】

次に、本発明の実施の形態の半導体製造プロセスについて説明する。この半導体プロセスは、シリコン基板の(100)面と(110)面にMIS電界効果トランジスタのゲート絶縁膜を形成するものである。

シリコンの(111)面にpチャネルトランジスタを形成すると、(100)面に比べて約1.3倍の電流駆動能力が得られ、(110)面に形成すると、(100)の面の約1.8倍の電流駆動能力が得られる。

【0051】

図3は、実施の形態の半導体製造プロセスにより、シリコン基板22に(100)と(110)面を有する突出部23及び24を形成した状態を示している。また、図4は、実施の形態の半導体製造プロセスにより製造したnチャネルMOSトランジスタ20と、pチャネルMOSトランジスタ21の構造を示す図である。なお、図4には、ゲート酸化膜の下部に形成されるチャネルを斜線で示している。


【0052】

図3に示すように、(100)面を主面とするシリコン基板22は、素子分離領域22cによりp型領域Aとn型領域Bとに分離されている。領域Aには、(100)面を基準にして高さがH_Aで幅がW_{1A}の直方体形状の突出部23が形成され、領域Bには、同様に高さがH_Bで幅がW_{1B}の突出部24が形成されている。

【0053】

図4に示すように、シリコン基板22の表面及び突出部23及び24の頂面及び側壁面には、上述した第1の実施の形態の半導体製造プロセスによりシリコン酸化膜が形成されている。

そして、そのシリコン酸化膜の上にポリシリコンゲート電極25及び26が形



成され、ゲート電極 25 及び 26 を形成する際に、シリコン酸化膜もパターンニングされ、ゲート電極 25 及び 26 の下部にゲート絶縁膜 27 及び 28 が選択的に形成される。

【0054】

さらに、p 型領域 A のゲート電極 25 の両側の領域に n 型不純物イオンを注入して、突出部 23 を含む n 型拡散領域 29 及び 30 を形成している。この n 型拡散領域 29 及び 30 は、n チャネル MOS トランジスタ 20 のソースとドレインを構成する。n 型領域 B においても、同様にゲート電極 26 の両側の領域に p 型不純物イオンを注入して、突出部 24 を含む p 型拡散領域 31 及び 32 を形成している。この p 型拡散領域 31 及び 32 は、p 型 MOS トランジスタ 21 のソースとドレインを構成する。

【0055】

p チャネル MOS トランジスタ 21 及び n チャネル MOS トランジスタ 20 のゲート電極 26 及び 25 に所定の電圧が印加されると、ゲート酸化膜 28 及び 27 の下部に図 4 に斜線で示すチャンネルが形成される。

n チャネル MOS トランジスタ 20 の (100) 面のゲート幅は、突出部 23 の頂面 (突出部 23 の上面) で W_{1A} 、突出部 23 の下部の左右のシリコン基板 22 の平坦部でそれぞれ $W_{2A}/2$ であるので合計で $W_{1A} + W_{2A}$ となる。また、n チャネル MOS トランジスタ 20 の (110) 面のゲート幅、すなわち突出部 23 の左右の側壁面のゲート幅は、それぞれ H_A であるので合計で $2H_A$ となる。このゲート幅がチャンネル幅に相当する。n チャネル MOS トランジスタ 20 のゲート長は L_{gA} である。

【0056】

従って、n チャネル MOS トランジスタ 20 の電流駆動能力は、 $\mu_{n1} (W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A$ で表すことができる。なお、 μ_{n1} は (100) 面における電子移動度、 μ_{n2} は (110) 面における電子移動度である。

同様に、p チャネル MOS トランジスタ 21 の (100) 面のゲート幅は突出部 24 の頂面で W_{1B} 、突出部 24 の下部の左右のシリコン基板 22 の平坦部でそれぞれ $W_{2B}/2$ であるので、合計で $W_{1B} + W_{2B}$ となる。また、p チャネ

ルMOSトランジスタ21の(110)面のゲート幅、すなわち、突出部24の左右の側壁面におけるゲート幅は、それぞれ H_B であるので、合計のゲート幅は $2H_B$ となる。このゲート幅がチャンネル幅に相当する。pチャンネルMOSトランジスタ21のゲート長は L_{gB} である。

【0057】

従って、pチャンネルMOSトランジスタ21の電流駆動能力は、 $\mu_{p1}(W_{1B}+W_{2B})+\mu_{p2}\cdot 2H_B$ で表すことができる。 μ_{p1} は、(100)面におけるホール移動度、 μ_{p2} は、(110)面におけるホール移動度を表す。

以上のことから、突出部23及び24の高さ H_A を及び H_B を適宜な値に設定することで、pチャンネルMOSトランジスタ21の電流駆動能力と、nチャンネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この条件を式で表すと、以下のようになる。


【0058】

$$\mu_{n1}(W_{1A}+W_{2A})+\mu_{n2}\cdot 2H_A=\mu_{p1}(W_{1B}+W_{2B})+\mu_{p2}\cdot 2H_B$$

上記の式を満足するような値に H_A を及び H_B を設定することにより、pチャンネルMOSトランジスタ21の電流駆動能力とnチャンネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この場合、pチャンネルMOSトランジスタ21の主面(例えば、(100)面)におけるチャンネル幅を、nチャンネルMOSトランジスタ20の(100)におけるチャンネル幅に比べて大幅に広げる必要がないので、両者のゲート絶縁膜による寄生容量の差を小さくできる。これにより、pチャンネルMOSトランジスタ21とnチャンネルMOSトランジスタ20とによりCMOS構造の回路を構成した場合に、両者のゲート酸化膜による寄生容量を充放電するときの電流値のアンバランスを減らし、CMOS構造のトランジスタのスイッチング時に発生するノイズレベルを小さくできる。

【0059】

なお、nチャンネルMOSトランジスタ20のゲートの高さ H_A を「0」にし、そのnチャンネルMOSトランジスタ20と電流駆動能力がほぼ等しくなるようにpチャンネルMOSトランジスタ21のゲートの高さ H_B を設定しても良い。



また、pチャネルMOSトランジスタ21またはnチャネルMOSトランジスタ20を単独で形成する場合でも、pチャネルまたはnチャネルMOSトランジスタのシリコン基板の主面（例えば、(100)面）におけるゲート絶縁膜の面積を従来の半導体製造プロセスで製造する場合より狭くできるので、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタのシリコン基板の主面に占める面積を小さくできる。これにより、半導体回路の集積度を高めることができる。さらに、pチャネルまたはnチャネルMOSトランジスタの寄生容量を小さくできるので、MOSトランジスタのスイッチング速度の向上と、スイッチング時の消費電力を減らすことができる。

【0060】

なお、シリコン表面に形成する絶縁膜は酸化膜に限らず、シリコン窒化膜、シリコン酸窒化膜等を形成しても良い。

次に、上述した半導体製造プロセスによりスイッチトキャパシタフィルタを半導体回路基板上に形成する場合について説明する。

【0061】

図5は、半導体回路基板上に形成するダイレクトコンバージョン受信機の回路の主要部を示す図である。

アンテナ41で受信された無線信号は、ローノイズアンプ42により増幅され、ミキサ回路43及び44に入力する。

【0062】

ミキサ回路43の他方の入力端子には、局部発振回路45で生成されるローカル信号が入力し、ミキサ回路44の他方の入力端子には、そのローカル信号の位相を移相器46により90度位相をずらしたローカル信号が入力する。

ミキサ回路43及び44において、受信信号とそれらのローカル信号が混合され、90度の位相差を有するベースバンド信号に変換される。そして、スイッチトキャパシタフィルタなどで構成されるローパスフィルタ47、48により所定の周波数以上の信号が減衰され、DCアンプ49、50に出力される。

【0063】

DCアンプ49、50は、ベースバンド信号をA/D変換器51、52の分解

能に応じた信号レベルまで増幅する。

A/D変換器51, 52は、アナログのベースバンド信号をデジタル信号に変換し、デジタル信号処理プロセッサ(DSP)53に出力する。DSP53は、ベースバンド信号に対してデジタル信号処理を行い信号を復調する。

【0064】

ここで、CMOSスイッチを用いたスイッチトキャパシタ回路の一例を図6を参照して説明する。

図6において、スイッチ61は、pチャネルMOSトランジスタ61aとnチャネルMOSトランジスタ61bが並列に接続されて構成されている。このスイッチ61の入力端子には入力信号 V_{in} が入力し、出力端子はコンデンサC1と接続されている。

【0065】

スイッチ62は、pチャネルMOSトランジスタ62aとnチャネルMOSトランジスタ62bとが並列に接続されて構成されている。スイッチ62の入力端子はスイッチ61の出力端子(コンデンサC1の一方の端子)と接続され、出力端子は接地されている。

【0066】

スイッチ63は、pチャネルMOSトランジスタ63aとnチャネルMOSトランジスタ63bが並列に接続されて構成されている。このスイッチ63の入力端子は、コンデンサC1の他方の端子と接続され、出力端子は接地されている。

スイッチ64は、pチャネルMOSトランジスタ64aとnチャネルMOSトランジスタ64bとが並列に接続されて構成されている。スイッチ64の入力端子は、コンデンサC1の他方の端子(スイッチ63の入力端子)と接続され、出力端子はオペアンプの反転入力端子とコンデンサC2とに接続されている。

【0067】

オペアンプ65の反転入力端子と出力端子との間にはコンデンサC2が接続され、非反転入力端子は接地されている。

上記の回路の動作を説明すると、以下のようになる。

pチャネルMOSトランジスタ61a及びnチャネルMOSトランジスタ61

b (スイッチ 61) と、p チャンネル MOS トランジスタ 63a 及び n チャンネル MOS トランジスタ 63b (スイッチ 63) のゲートには、それらのスイッチ 61 及び 63 が、同時にオンするような信号が入力する。

【0068】

また、p チャンネル MOS トランジスタ 62a 及び n チャンネル MOS トランジスタ 62b (スイッチ 62) と、p チャンネル MOS トランジスタ 64a 及び n チャンネル MOS トランジスタ 64b (スイッチ 64) のゲートには、スイッチ 61 及び 63 がオフのとき、同時にオンとなるような信号が入力する。

【0069】

ゲートに信号が入力してスイッチ 61 及び 63 がオンすると、コンデンサ C1 が入力電圧 V_{in} により充電され、スイッチ 61 及び 63 がオフし、スイッチ 62 及び 64 がオンしたときに、コンデンサ C1 の電荷がコンデンサ C2 に転送される。

【0070】

スイッチトキャパシタ回路を上述した半導体プロセスにより製造し、p チャンネル MOS トランジスタと n チャンネル MOS トランジスタのゲート・ソース間及びゲート・ドレイン間の容量をほぼ等しくすることで、スイッチング時のノイズを低減することができる。これにより、p チャンネル MOS トランジスタと n チャンネル MOS トランジスタの寄生容量の差を補償するための回路が不要となる。また、スイッチを構成する p チャンネル MOS トランジスタの素子面積を減らすことで寄生容量を小さくできるので、スイッチの出力電圧の変動幅を少なくできる。

【0071】

また、シリコン表面のダメージを減らし平坦化することで、MOS トランジスタの特性 (例えば、しきい値電圧など) のバラツキを少なくし、リーク電流と DC オフセットを少なし、スイッチトキャパシタ回路の積分値の誤差を減らすことができる。また、コンデンサを上記の酸化膜を使用して構成することで、コンデンサの特性も改善することができる。

【0072】

また、立体構造にして異なる結晶面にゲート酸化膜を形成することで、MOS

トランジスタの電流駆動能力を向上させ、かつシリコン基板の主面におけるトランジスタの素子面積を小さくできる。

スイッチトキャパシタ回路のスイッチは、実施の形態のように p チャンネル MOS トランジスタと n チャンネル MOS トランジスタを並列に接続した構造のものに限らず、n チャンネル MOS または p チャンネル MOS トランジスタのみで構成しても良い。この場合でも、MOS トランジスタの特性のばらつきを少なくし、リーク電流、DC オフセットを減らす効果が得られる。また、MOS トランジスタの素子面積を小さくできる。

【0073】

また、スイッチトキャパシタ回路以外の回路、例えば、DC アンプ、A/D 変換回路、デジタル回路等の p チャンネル MOS トランジスタと n チャンネル MOS トランジスタを上述した半導体プロセスにより製造しても良い。

このように構成することで、他の回路の p チャンネル MOS トランジスタと n チャンネル MOS トランジスタの特性を揃えることができるので、DC オフセットや $1/f$ ノイズを低減できる。また、MOS トランジスタの電流駆動能力が向上するので回路の動作特性も改善される。

【0074】

さらに、他の回路の p チャンネル MOS と n チャンネル MOS トランジスタのチャネルを、シリコンの異なる結晶面（例えば、(100) 面と (110)）に形成するようにし、それらのチャネル幅を p チャンネル MOS トランジスタと n チャンネル MOS トランジスタの電流駆動能力がほぼ等しくなるように設計しても良い。

【0075】

このように構成することで、p チャンネル MOS トランジスタと n チャンネル MOS トランジスタの寄生容量等をほぼ同じにし、かつ寄生容量を小さくできるので、MOS トランジスタの動作速度を向上させることができると共に、MOS トランジスタのオン、オフ時に流れる電流により発生するノイズを低減できる。

【0076】

本発明は、上述した実施の形態に限らず、以下のように構成しても良い。

本発明は、実施の形態に示したスイッチトキャパシタ回路に限らず、公知の他

の回路、あるいはスイッチトキャパシタフィルタ等にも適用できる。

シリコンの結晶面は、(100)面と(110)面の組み合わせに限らず、(100)面と(111)面等の他の結晶面と組み合わせても良い。

【0077】

【発明の効果】

本発明によれば、スイッチトキャパシタ回路のMIS電界効果トランジスタのリーク電流やDCオフセットを減らすことができるので、それらを補償するための回路が不要となる。また、スイッチを構成するpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの電流駆動能力をほぼ等しくすることで、スイッチング時のノイズ及び出力電圧の電圧変動を減らすことができる。さらに、スイッチトキャパシタ回路に接続される他の回路のDCオフセット、スイッチング時のノイズを減らすことができる。

【図面の簡単な説明】

【図1】

ラジアルラインスロットアンテナを用いたプラズマ装置の断面図である。

【図2】

界面準位密度の比較図である。

【図3】

実施の形態の半導体製造プロセスにより製造したシリコン基板の構造を示す図である。

【図4】

実施の形態の半導体製造プロセスにより製造したMOSトランジスタの構造を示す図である。

【図5】

ダイレクトコンバージョン方式の受信回路を示す図である。

【図6】

スイッチトキャパシタ回路を示す図である。

【図7】

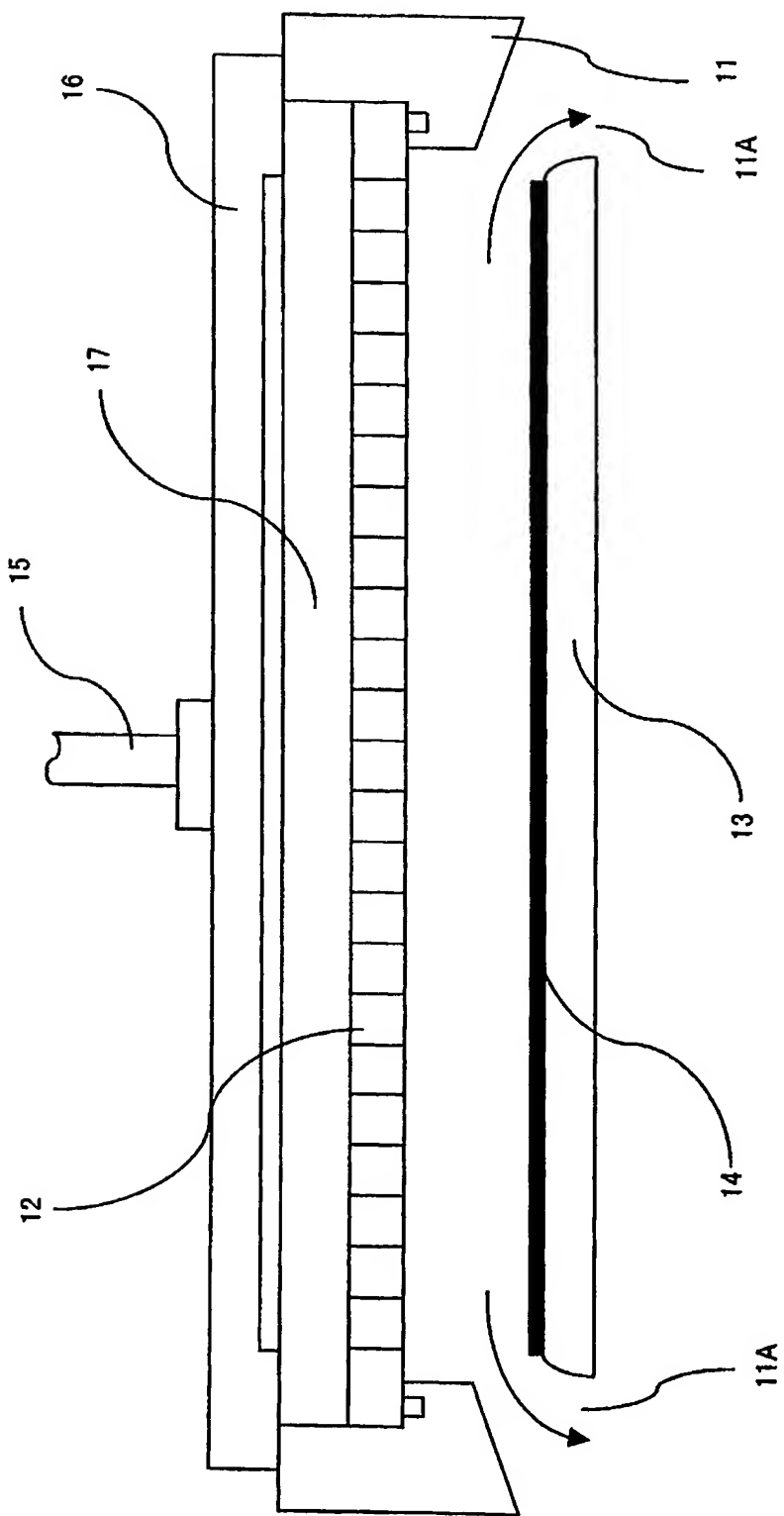
従来のスイッチの構成を示す図である。

【符号の説明】

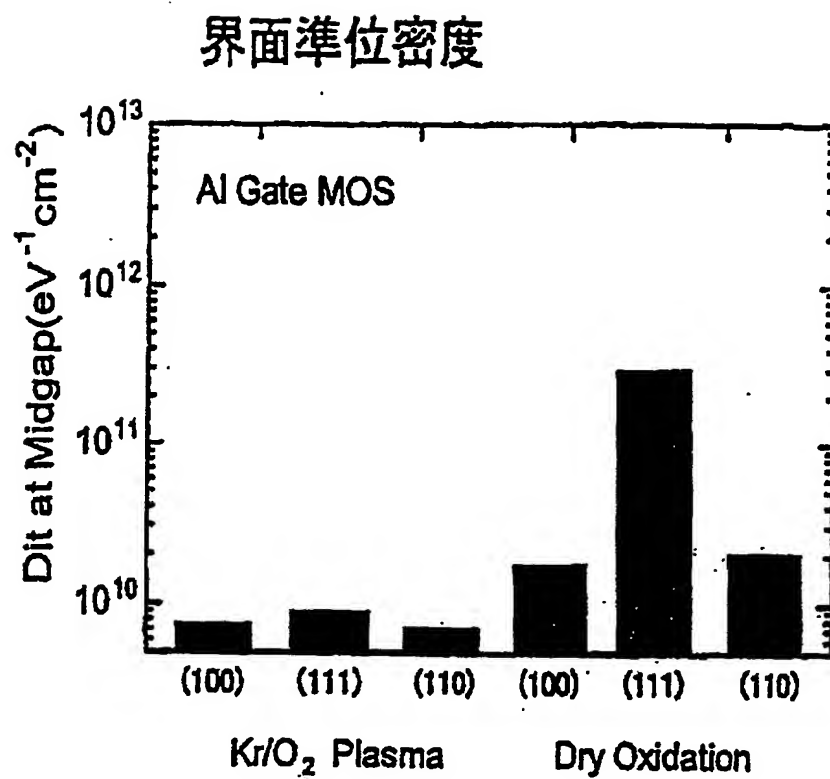
- 1 1 真空容器
- 1 2 シャワープレート
- 1 4 シリコン基板
- 1 5 同軸導波管
- 1 6 ラジアルスロットライン
- 1 7 誘電体板
- 2 2 シリコン基板
- 2 0 nチャネルMOSトランジスタ
- 2 1 pチャネルMOSトランジスタ
- 2 3, 2 4 突出部
- 2 5、2 6 ゲート電極
- 2 7、2 8 ゲート酸化膜
- 4 3, 4 4 ミキサ
- 4 9, 5 0 DCアンプ
- 5 1, 5 2 A/D変換器
- 6 1～6 4 スイッチ
- 6 1 a、6 1 b MOSトランジスタ
- 6 2 a、6 2 b MOSトランジスタ
- 6 3 a、6 3 b MOSトランジスタ
- 6 4 a、6 4 b MOSトランジスタ
- C 1, C 2 コンデンサ
- 6 5 オペアンプ

【書類名】 図面

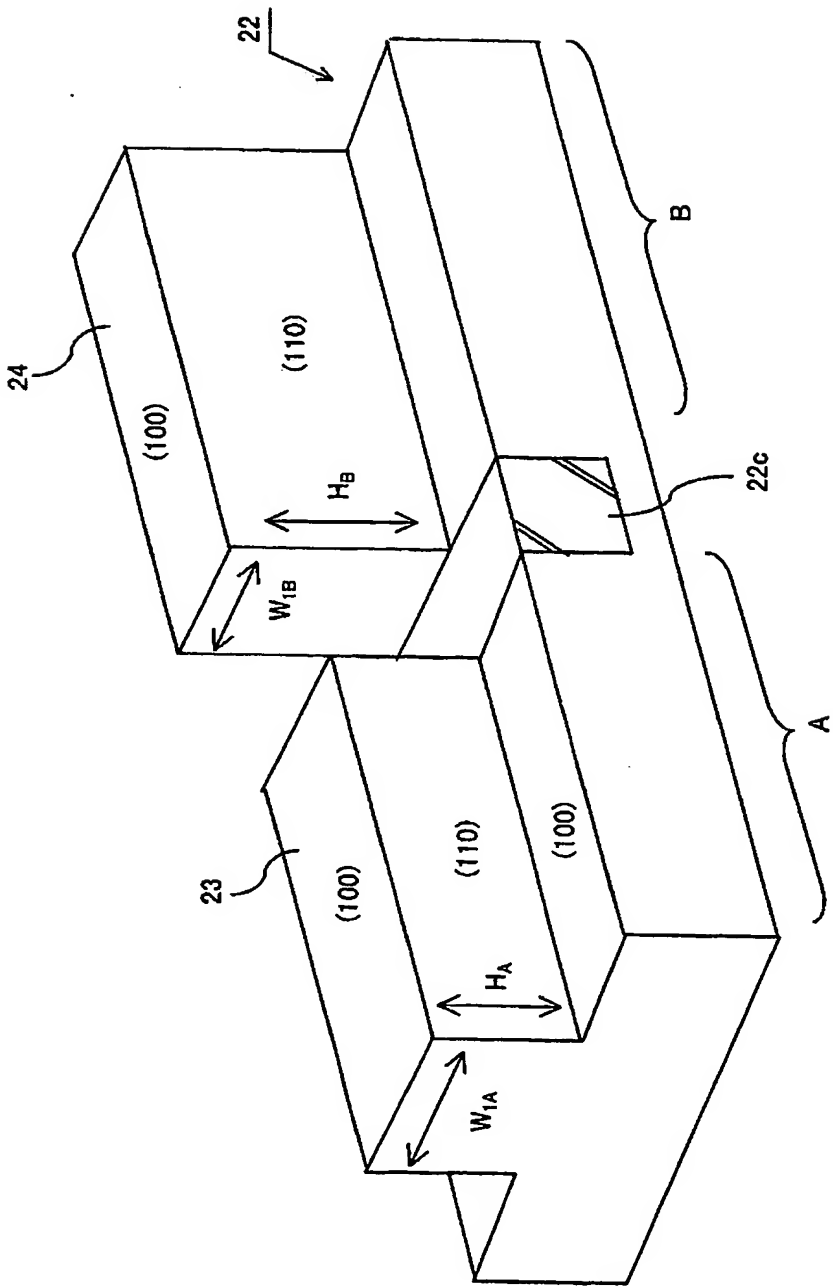
【図 1】



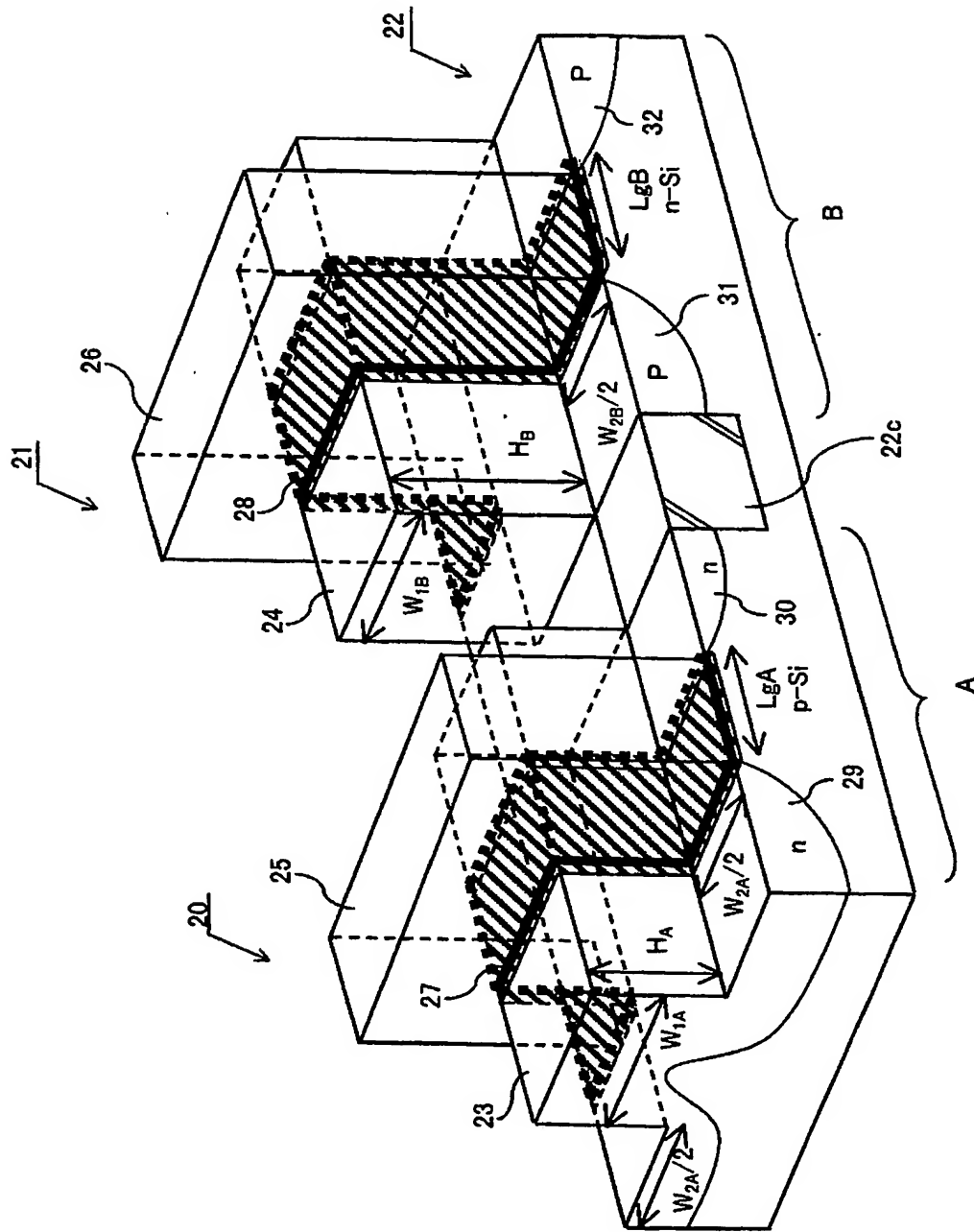
【図 2】



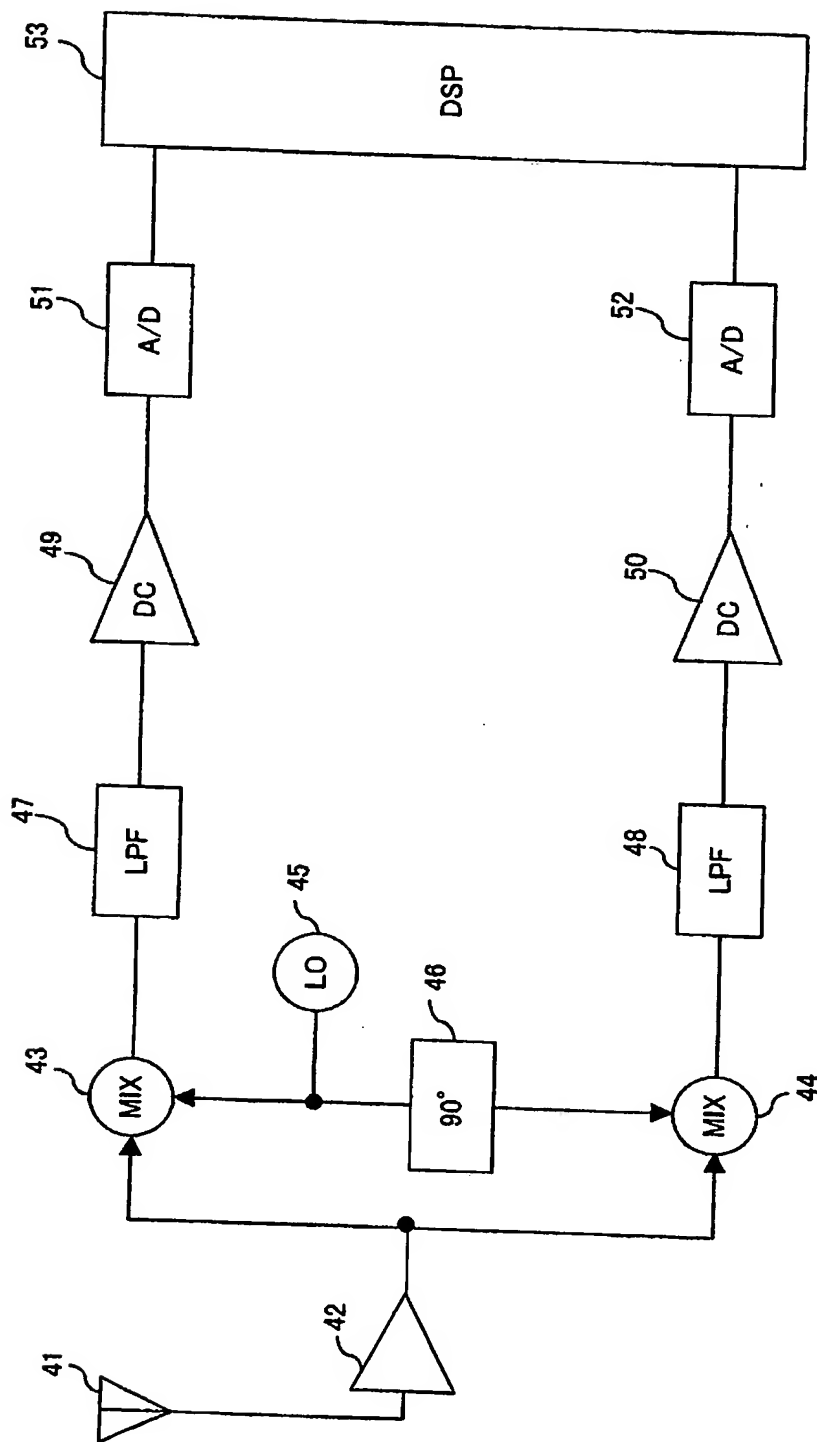
【図 3】



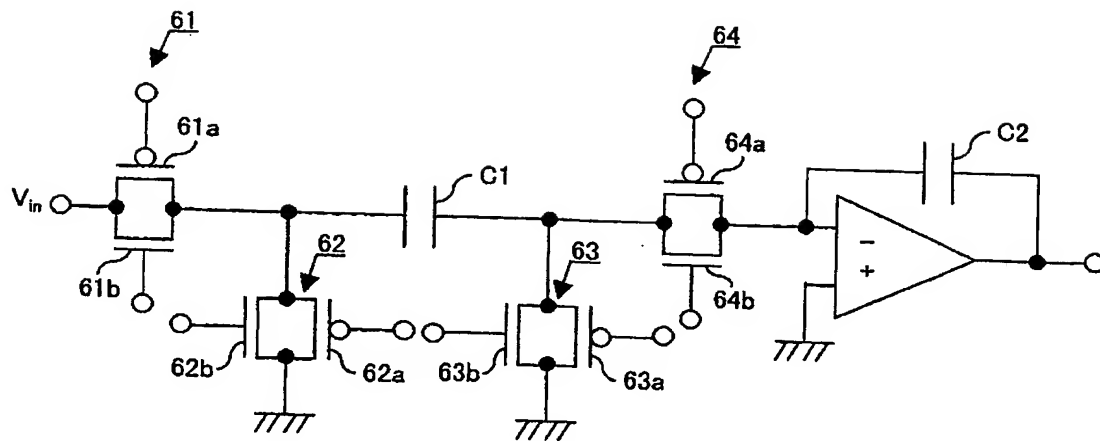
【図4】



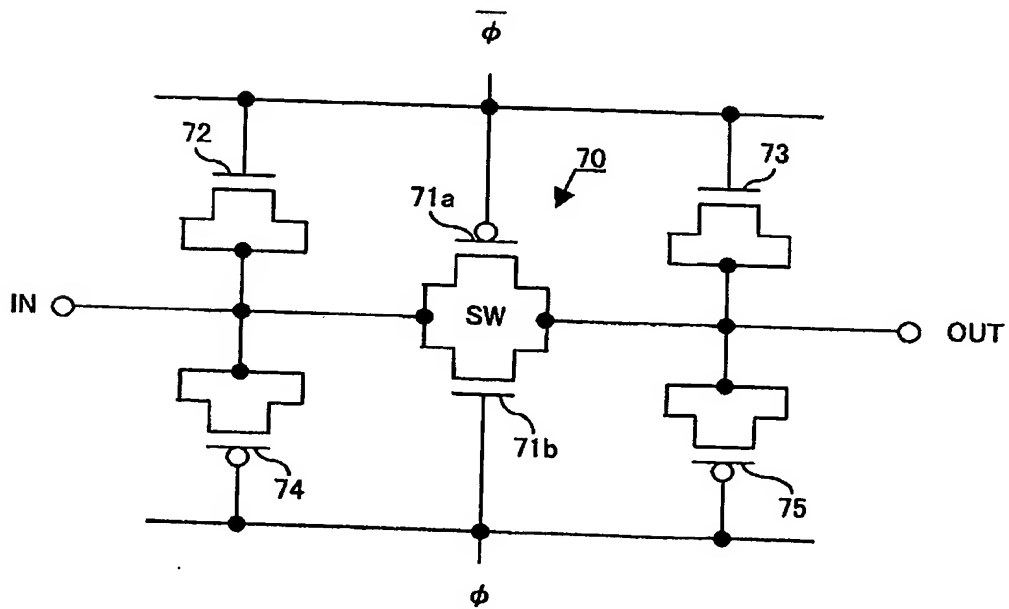
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 スイッチトキャパシタ回路のリーク電流やDCオフセットを低減する。

【解決手段】 シリコン基板上に高さ H_B で、幅が W_B の直方体状の突出部21を形成し、突出部21の頂面及び側壁面の一部にゲート酸化膜を形成し、MOSトランジスタを形成する。上記のように製造したpチャネルMOSトランジスタとnチャネルMOSトランジスタを並列に接続して、スイッチトキャパシタ回路のスイッチを構成する。

【選択図】 図6

特願 2003-170103

出願人履歴情報

識別番号 [000003218]

1. 変更年月日	2001年 8月 1日
[変更理由]	名称変更
住 所	愛知県刈谷市豊田町2丁目1番地
氏 名	株式会社豊田自動織機

特願 2003-170103

出願人履歴情報

識別番号

[591220850]

1. 変更年月日

1996年 5月 9日

[変更理由]

住所変更

住 所

新潟県上越市西城町2丁目5番13号

氏 名

新潟精密株式会社

特願 2003-170103

ページ： 3/E

出 願 人 履 歴 情 報

識別番号

[000205041]

1. 変更年月日

1990年 8月27日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区米ヶ袋2-1-17-301

氏 名

大見 忠弘